

Radio receiver

Publication number: JP2004514315 (T)

Publication date: 2004-05-13

Inventor(s):

Applicant(s):

Classification:

- international: *H04L27/38; H03D3/00; H03D7/16; H04B1/26; H04B1/30; H04L27/38; H03D3/00; H03D7/00; H04B1/26; H04B1/30; (IPC1-7): H04B1/30; H04B1/26; H04L27/38*

- European: H03D3/00C; H03D7/16C1; H04B1/30

Application number: JP20020541788T 20011106

Priority number(s): WO2001EP13013 20011106; GB20000027503 20001110

Also published as:

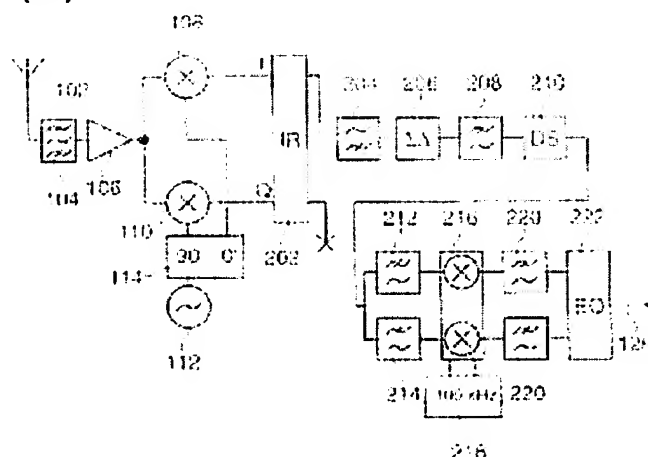
JP4004951 (B2)
US2002058491 (A1)
US7116965 (B2)
EP1336246 (A2)
EP1336246 (B1)

more >>

Abstract not available for JP 2004514315 (T)

Abstract of corresponding document: **US 2002058491 (A1)**

A radio receiver configurable to operate in either a low-IF or a zero-IF mode comprises a quadrature down-converter (108,110,112,114) for generating in-phase (I) and quadrature (Q) signals at an intermediate frequency and a complex filter (202) for performing image rejection filtering. One of the outputs (Q) of the filter (202) is terminated, the other (I) is passed to a non-complex ADC (206). The output from the ADC is processed digitally then a quadrature signal generator (212,214) generates quadrature-related IF signals which are passed to a down-converter (216,218) for conversion to baseband signals. By enabling analogue-to-digital conversion and channel filtering to be performed at IF on non-complex signals, significant power savings are possible. Further, the flexibility of the receiver is enhanced, enabling it to operate efficiently in both low-IF and zero-IF modes.



Data supplied from the esp@cenet database — Worldwide

(19) 日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表2004-514315

(P2004-514315A)

(43) 公表日 平成16年5月13日 (2004.5.13)

(51) Int. Cl.⁷

H04B 1/30
H04B 1/26
H04L 27/38

F I

H04B 1/30
H04B 1/26
H04B 1/26
H04L 27/00

A
J
G

テーマコード (参考)

5K004
5K020

審査請求 未請求 予備審査請求 未請求 (全 32 頁)

(21) 出願番号 特願2002-541788 (P2002-541788)
(86) (22) 出願日 平成13年11月6日 (2001.11.6)
(85) 翻訳文提出日 平成14年7月9日 (2002.7.9)
(86) 国際出願番号 PCT/EP2001/013013
(87) 国際公開番号 WO2002/039580
(87) 国際公開日 平成14年5月16日 (2002.5.16)
(31) 優先権主張番号 0027503.2
(32) 優先日 平成12年11月10日 (2000.11.10)
(33) 優先権主張国 イギリス (GB)
(81) 指定国 EP (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), CN, JP, KR

(71) 出願人 590000248
コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
Koninklijke Philips Electronics N. V.
オランダ国 5621 ペーアー アイン
ドーフエン フルーネヴァウツウェッハ
1
Groenewoudseweg 1, 5
621 BA Eindhoven, The Netherlands
(74) 代理人 100092048
弁理士 沢田 雅男

最終頁に続く

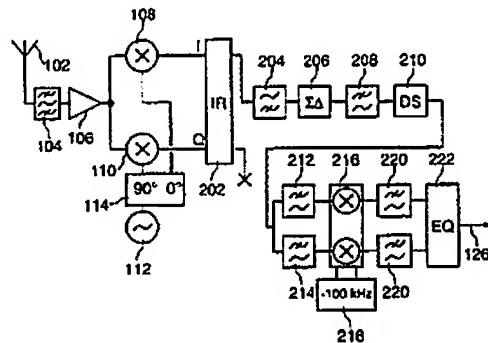
(54) 【発明の名称】 無線受信機

(57) 【要約】

【課題】 I F がゼロであるか否かにかかわらず、非複素 ADC の効率的な利用が全ての受信モードに対して可能である受信機を提供すること。

【解決手段】

低 I F またはゼロ I F モードの何れかで動作するように設定可能な無線受信機は、中間周波数で同位相 (I) および直交位相 (Q) 信号を生成するための直交位相ダウンコンバータ (108, 110, 112, 114) およびイメージ除去フィルタリングを行うための複素フィルタ (202) を有する。フィルタ (202) の一方の出力 (Q) の処理は終結され、他方の出力 (I) は、非複素 ADC (206) に渡される。ADC からの出力は、デジタルで処理され、次いで、直交位相信号発生器 (212, 214) は、直交位相に関連した I F 信号を生成する。これは、ベースバンド信号への変換のためのダウンコンバータ (216, 218) に渡される。AD 変換およびチャンネル・フィルタリングが非複素信号に対して I F で行われることを可能にすることによって、重大な電力削減が、可能となる。更に、受信機のフレキシビ



【特許請求の範囲】

【請求項 1】

無線周波数信号のための入力と、前記無線周波数信号を中間周波数に変換し、かつ前記中間周波数信号の同位相および直交位相バージョンを生成するための直交位相ダウンコンバージョン手段と、フィルタ処理された同位相および直交位相信号を提供するために前記同位相および直交位相信号に作用する複素フィルタリング手段と、前記同位相および直交位相信号の1つのみをデジタル化するためのAD変換手段と、前記デジタル化された信号にデジタル信号処理を行うための手段と、デジタルの同位相および直交位相信号を生成するために前記処理された信号に作用する信号生成手段とを有する、受信機。

10

【請求項 2】

前記複素フィルタリング手段が、受動多相 (polyphase) フィルタを有することを特徴とする、請求項 1 に記載の受信機。

【請求項 3】

前記AD変換手段がシグマ・デルタADCを有することを特徴とする、請求項 1 または 2 に記載の受信機。

【請求項 4】

前記AD変換手段が複数の異なるクロック・スピードで動作可能であることを特徴とする、請求項 1 から 3 の何れか 1 つに記載の受信機。

【請求項 5】

前記中間周波数が、低またはゼロの何れかとする事ができることを特徴とする、請求項 1 から 4 の何れか 1 つに記載の受信機。

20

【請求項 6】

前記無線周波数信号が、セルラ方式通信標準に従い、かつ前記低中間周波数が、前記標準で規定された前記チャネル間隔の半分であることを特徴とする、請求項 5 に記載の受信機。

【請求項 7】

デローテーション (derotation) 手段が、前記デジタル同位相および直交位相信号をベースバンドに変換するために設けられていることを特徴とする、請求項 1 から 6 の何れか 1 つに記載の受信機。

【請求項 8】

前記信号生成手段が、第 1 および第 2 のフィルタを有し、かつ前記フィルタの各々を通過した信号に適用される前記位相シフトが、 90° だけ異なることを特徴とする、請求項 1 から 7 の何れか 1 つに記載の受信機。

30

【請求項 9】

前記フィルタが、線形位相特性を有することを特徴とする、請求項 8 に記載の受信機。

【請求項 10】

デジタル信号処理を行うための前記手段および前記信号生成手段の前記組合せが、第 1 および第 2 のフィルタによって提供されることを特徴とする、請求項 1 から 7 の何れか 1 つに記載の受信機。

【請求項 11】

請求項 1 から 10 の何れか 1 つに記載の無線受信機を有する集積回路。

40

【発明の詳細な説明】

【発明が属する技術分野】

【0001】

本発明は、特に、GSMおよびUMTSのようなデジタル通信システムに適用される（しかしこれに限定されない）無線受信機と、このような無線受信機を含む集積回路とに関する。

【従来の技術】

【0002】

ニア・ゼロIF (near-zero-IF) 受信機 (多相 (polyphase) 受信 50

機としても知られている)は、GSM (Global System for Mobile communication) およびDECT (Digital Enhanced Cordless Telecommunications) のような無線通信システム用として公知である。このような受信機は、従来のスーパーヘテロダイン (super hetero) 受信機と同様の性能を提供するが、オフチップ・チャネル・フィルタを必要としないため、集積化するのが極めて容易であるという利点を有する。公知の多相受信機の一具体例は、欧州特許出願第0797292号に開示されている。

【0003】

公知のゼロIF受信機と比較して、多相受信機は、DCオフセットと二次の相互変調積の生成に関する問題を除去することによって、性能を実質的に向上させている。多相受信機の重要な機能は、複素信号処理が、フロントエンドのダウンコンバータの出力と復調器への入力との間でIF信号に行われるので、所望信号のいかなるイメージも適切に抑制させることが保証されることである。

【0004】

低IF受信機に関する最近の変形例の場合、AD変換 (analogue-to-digital conversion) が、フロントエンドのダウンコンバータの直後に行われる。このことは、チャネル・フィルタリングをデジタル領域内で完全に行うことを可能にした。このような受信機は、国際特許出願WO00/22735に開示されている。この変更例は、ADC (Analogue-to-Digital Converter) からダイナミックレンジ能力の増加を必要としたが、受信機のチャネル・フィルタ特性をソフトウェアで変化させることを可能とすることにより、フレキシビリティを拡大させた。これによってマルチモード受信機的设计が非常に容易になった。

【0005】

GSMシステムに使用される公知のこのような受信機の実施例が、図1に示されている。無線信号は、アンテナ102によって受信され、バンドパス・フィルタ104によってフィルタ処理が行われ、そして低ノイズ増幅器106によって増幅される。信号は、次いで、100kHz (GSMチャネル間隔の半分) のIFにおいて同位相 (I) および直交位相 (Q) の信号を生成するために、第1および第2のミキサ108、110によって、ミキシングされる。これらのミキサには、LO (Local Oscillator) 112から、(第1のミキサ108にゼロ位相シフトの信号を提供し、かつ第2のミキサ110に90°位相シフトの信号を提供する) 位相シフト・ブロック114を介して、これらのそれぞれのLOポートに信号が供給される。

【0006】

IおよびQ信号は、ハイパス・フィルタ116によってフィルタ処理が行われ、次いで、それらは、多相バンドパス・ループ・フィルタが組み込まれている複素シグマ・デルタ (sigma-delta) ADCを有するデジタル化ブロック118に供給される。このようなADCは、WO00/22735に開示されている。デジタル化ブロック118からのIおよびQ出力は、13MHzのビット・レートでシングル・ビットのデジタル信号を有する。多相バンドパス・フィルタリングおよびデシメーション (decimation) ・ブロック120は、24分の1にビット・レートを減らすので、このブロックからの出力信号は、541.667kHzのビット・レートで14ビットの信号を有する。更なるフィルタリングおよびデシメーション・ブロック122により、ベースバンドの信号についてローパス・フィルタリングおよびデローテーション (derotation) 処理が行われ、270.833kHzのGSMビット・レートで15ビットの出力信号が得られる。次いで、この信号は、等化 (equalisation) および復調ブロック (EQ) 124によって処理されて、その後、受信機の残り部分のデジタル信号処理回路に出力126として提供される。

【0007】

この後者の変更例は、マルチモード受信機には好ましいが、(WO00/22735で開示されているシグマ・デルタ ADCに用いられているような) 複素ノイズ・シェーピン

グを有する複素ADCが必要であることは、必ずしも望ましいことではない。例えば、モードを変える時に、ADCの帯域幅およびそのクロック・スピードを、変更させなければならぬ場合、複素ADCは、設計がより困難となる。このことは、要求された帯域幅およびクロック・スピードが、変換効率の観点から現時点での最高の技術水準で実現できる限界である場合、特に当てはまる。更なる考察として、1つ以上の受信モードで、IFがゼロにセットされる場合、（それが実際には低IF受信機にとってのみ望ましいので）複素ADCの必要性は実質的に減少する。

【課題を解決するための手段】

【0008】

本発明の目的は、したがって、IFがゼロであるか否かにかかわらず、全ての受信モード 10
に対して非複素ADCの効率的な利用が可能である受信機を提供することである。

【0009】

本発明によると、無線周波数信号のための入力と、無線周波数信号を中間周波数に変換し、かつ中間周波信号の同位相および直交位相バージョンを生成するための直交位相ダウンコンバージョン (conversion) 手段と、フィルタ処理された同位相および直交位相信号を提供するために同位相および直交位相信号に作用するための複素フィルタリング手段と、同位相および直交位相信号の1つだけをデジタル化するためのAD変換手段と、デジタル化された信号にデジタル信号処理を行うための手段と、デジタルの同位相および直交位相信号を生成するために処理された信号に作用するための信号生成手段とを有する、受信機が、提供される。 20

【0010】

同位相および直交位相IF信号の1つのみを量子化することによって、複素（または多相）ADCおよび複素チャネル・フィルタが、不必要となる。このことにより、消費電力をかなり削減することが可能となる。このような受信機は、特に、1つのモードが低IFを使用し、かつ別のモードがゼロIFを使用しているような、マルチモード動作に適している。何故ならば、クロック・スピードおよびノイズ・シェーピング・プロファイルが異なる範囲で動作する非複素ADCの設計が、それらの複素等価物の設計よりはるかにシンプルであるからである。

【0011】

受信機フロントエンドからのIF出力の内IまたはQ成分しか量子化しないことによって 30
、単一のADCの量子化帯域幅をゼロ周波数で折り返すようにして、所望信号帯域幅を効果的に2倍にさせることが出来る。しかしながら、この増加した帯域幅に起因してクロック・スピードを増加させねばならないにもかかわらず、単一のADCしか使用しないことにより、全体的な消費電力は、減少するであろう。

【0012】

非複素ADCによりイメージが除去されることが無いため、このADCの前には、複素フィルタが必要となる。このようなフィルタは、受動型であるので、何ら余分の電力も消費しない受動多相フィルタとすることができる。

【0013】

好適な実施例の場合、ADCは、シグマ・デルタADCである。別の好適な実施例の場合 40
、デジタル同位相および直交位相信号は、ベースバンドにそれらの周波数を変換するためにデローテート (derotate) される。

【0014】

本発明の別の実施例の場合、受信機は集積回路にて実施される。

【0015】

本発明は、イメージ除去フィルタリングを、サンプリングおよびデジタル化の前にIF信号に行うならば、低IF受信機での非複素ADCおよびチャネル・フィルタの使用が可能になるという（従来技術にはない）認識に基づく。

【発明を実施するための形態】

【0016】

次に、本発明の実施例を、具体例として、添付の図面を用いて説明する。

【0017】

図面において、同じ参照番号は、一致する機能を示すために使用されている。

【0018】

図2は、本発明に従って製作された低IF受信機アーキテクチャのGSM実施例のブロック図である。フロントエンドは、入って来るRF信号をチャンネル間隔の半分の低IF（GSMの場合チャンネル間隔は200kHzであるので、このIFは、100kHzである）にミキシングする直交位相ダウンコンバータを使用する。受信機のこの部分は、本質的に図1で上述されたものと同じであるので、再度記載することはしない。

【0019】

ミキサ108、110によるダウンコンバージョン（down conversion）の後、（IおよびQ信号を有する）複素低IF信号が、所望信号のイメージ・バンド内（すなわち、-200kHz～0Hz）に存在する如何なる干渉も除去する、受動多相フィルタであるイメージ除去フィルタ（IR）202に渡される。このようなフィルタは、公知であり、例えば、論文、M J Gingellによる「シーケンス非対称多相ネットワークを使用した単側波帯変調（Single sideband modulation using sequence asymmetric polyphase networks）」（Electric Communications, No 48, 1973）に開示されている。直接シリコン上に集積化することができる受動多相フィルタは、RC回路網により容易に実現することが出来る。イメージ除去フィルタ202は、所望信号を、他の全ての干渉と同様に、0Hzから200kHzのバンドに渡す。しかしながら、いかなるイメージ干渉も除去することによって、受信機のその後の全てのフィルタを「実」にする（すなわち、IおよびQ信号の何れか一方にしか作用しない）ことが可能になる。適切な多相フィルタの周波数応答の具体例は、図3に示される。

【0020】

イメージ除去フィルタ202の後、信号のQ成分の処理は、終了する。一方、I成分は、ハイパス・フィルタ204を介して、単一の、2ポートのシグマ・デルタ（ $\Sigma\Delta$ ）変調器206に、与えられ、処理は続く。信号のQ成分を処理しないことによる効果は、所望信号エネルギーの半分を取り込み、かつ周波数スペクトルの負の側にそれを折り返すことである。したがって、（シグマ・デルタ変調器206のノイズ・スペクトルと同じように）信号は、ゼロ周波数に関して対称となり、かつ400kHzの帯域幅を占める。このような信号は、変調器206の変換効率を最大にする。

【0021】

ハイパス・フィルタ204は、先行するフロントエンドの回路によって生成されたDCオフセットを除去する。GSMアプリケーションのための多相受信機の研究により、フィルタ204の適切なカットオフ周波数が、6kHzであることが判明した。この周波数は、所望信号の重大な低下をもたらすことなく、受信機に、大信号のオーバー・ドライブ効果からの十分な回復時間を与える。

【0022】

要求されたノイズ・シェーピングを得るために、変調器206の次数およびそのクロック・スピードを、適切に選択しなければならない。最小入力信号レベル（現時点での最高の技術水準で、-108dBm）で、BER（ビット・エラー・レート）に関してGSM仕様を満たすために、信号対量子化ノイズ比は、400kHzの帯域幅（すなわち、-200kHz～+200kHz）で約17dBでなければならない。この数値は、全体的なSN比が7dBであること、および量子化ノイズ・レベルがフロントエンドのノイズより10dB低いことの必要性から導かれる。ADCへの最も大きい入力信号は、-23dBmでのブロック干渉である。

【0023】

変調器206からのデジタル出力信号は、デジタル・チャンネル・フィルタ208によってフィルタ処理される。このフィルタは、（典型的に、GSMのビット・レートの約48倍

である) シグマ・デルタ変調器 206 のクロック・レートに等しいサンプリング・レートで動作する。これは、(両側周波数軸で見た場合、幅 400 kHz のバンドパス応答に似ている) 約 200 kHz のカットオフ周波数を有するローパス周波数応答を有する。このような周波数応答は、図 4 に例示されている。フィルタ 208 は、イメージ干渉(イメージ除去フィルタ 202 によって取り扱われる低側の隣接チャネルでの干渉)を除いて、受信機入力に到着する全ての干渉を減らし、かつ変調器 206 によって生成される広帯域の量子化ノイズの大部分を減らすと言う二重の役割を果たす。

フィルタ 208 の出力の信号の典型的周波数スペクトルは、図 5 に示されている。実線で示される所望信号の 2 半分は、ハイパス・フィルタ 204 によって生成されるホールによって隔てられていて、かつゼロ周波数の両側に位置する。破線で示されるイメージ干渉の残留は、所望信号と同じ周波数空間を占めるが、そのレベルは、イメージ除去フィルタ 202 を適用することによる減衰のため問題にならないほど低い。-200 kHz ~ 200 kHz のバンドの外側に、一点鎖線で示される一部の残留シグマ・デルタ・ノイズおよび大きい干渉に起因する電力も、存在するが、このような信号は、次のフィルタリングによって容易に除去することができる。

【0024】

一旦、信号の高周波成分がチャネル・フィルタ 208 によって除去されると、IF 信号は、ダウン・サンプリング・ブロック(DS) 210 によって、GSM ビット・レートの約 4 倍のサンプリング・レートに、ダウン・サンプリング(down-sampled)させる(すなわち、デシメイト(decimated)させる)ことができる。このことは、所望信号の Q 成分の再構成のために必要な処理リソースおよび消費電力を減らす。所望信号を再び複素化することは、低 IF からゼロ周波数までのその完全な周波数変換(またはデローテーション(de-rotation))、およびデータビットを得るためのその次の復調を容易にするために、必要である。

【0025】

したがって、ダウン・サンプリングの後、信号は、それを一対の FIR フィルタに渡すことにより、複素化される。ここで、第 1 のフィルタ 212 は、線形位相ローパス応答を有し、かつ第 2 のフィルタ 214 は、通過帯域の中央の狭いノッチの生成、および負の周波数に対して +90° で、かつ正の周波数に対して -90° である追加の 90° 位相シフトを挿入することを除いて、同じ応答を有している。第 2 のフィルタ 214 は、新規の Q 成分を作成する。これは、ノッチの幅が、そのインパルス応答の長さを決定する、タイム・バウンドされた(time-bounded) ヒルベルト変換と等価物を実行する。先行するハイパス・フィルタ 204 によって生成されたノッチの幅より僅かに狭いまたはそれに等しい幅が、通常、適切であろう。

【0026】

図 6 は、8 kHz のホール幅を有し、276 のタップを有する FIR フィルタである、適切な第 2 のフィルタ 214 の典型的周波数応答を示す。第 1 のフィルタ 212 の主要機能は、I 成分の経路に第 2 のフィルタ 214 によって Q 成分の経路内に挿入されたそれと同じ時間遅延を正確に挿入することである。両方のフィルタ 212、214 のインパルス応答は、正確に同じ長さでなければならない。第 1 および第 2 のフィルタは、チャネル・フィルタ 208 の後においても、所望信号の帯域幅の外側に残存しているいかなる干渉も更に削除するように設計することができる。これらのカットオフ周波数を変えることは、実質的にフィルタ 212、214 の必要な長さに何の効果も与えず、かつ、事実上コストの発生無しに追加のフィルタリングを導入することを可能にする。カットオフ周波数の選択は、フィルタ 212、214 が必要とするサンプリング・レートに若干関連するが、これが、いかなる重大な問題も発生させない場合、このことにより提供されるフィルタリングにより、ベースバンド内で更にフィルタリングを必要とすることが軽減される。

【0027】

所望信号の Q 成分をリストアすることは、正の側にその周波数スペクトルの負の半分の折り返し、これによって、帯域幅が 200 kHz に減少する効果を有する。信号内の全電力

は、したがって、イメージ除去フィルタ 202 への入力で見られるオリジナルの値に戻る。電力密度は、6 dB 増加する。フィルタ 212、214 の組み合わせられた出力の複素周波数応答は、図 7 に示される。

【0028】

一旦、Q 成分が作成されると、I および Q 信号は、デローテーション・ブロック 216 に渡される。ここで、信号源 218 によって提供される -100 kHz の複素音との複素乗算を行うことによって、これらは、ベースバンドにデローテートされる。このデローテーションにより所望信号がゼロの中央の周波数にシフトされる。

【0029】

図 2 に示される具体的な実施例の場合、I および Q 信号は、カットオフ周波数が 80 kHz の各ローパス・ベースバンド・フィルタ 220 によってフィルタ処理される。フィルタ 220 の出力の信号の典型的周波数スペクトルが、図 8 に示されている。実線は所望信号を示し、破線は残留イメージ干渉を示す。

【0030】

次いで、信号は、等化および復調ブロック (EQ) 222 によって処理され、そして受信機の残り部分のデジタル信号処理回路に出力 126 として提供される。

【0031】

本発明によるアーキテクチャが正しく機能することを確認するために、システムシミュレーションが、実行された。例えば、図 9 は、周知の TU50 チャンネル・モデル (50 km/h の最大速度を伴う典型的都市のプロファイル) を使用して、所望信号電力 S (dBm 単位) の範囲に対する BER を決定するシミュレーションの結果のグラフである。新規の受信機アーキテクチャに対してシミュレートされた結果は、実線で示され、全体として複素信号処理を使用した、ベンチマーク・多相受信機に対する結果は、破線で示されている。新規の受信機の感度が、少なくともベンチマーク・多相受信機と同程度以上に良いことは、明白である。他のシミュレーションにより、新規のアーキテクチャが、隣接チャネルとより大きい周波数オフセットでのそれら両方に対して、要求された選択性を提供することができることも確認された。

【0032】

上述の実施例の変更例の場合、チャネル・フィルタ 208 および複素信号再構成フィルタ 212、214 は、2 つの FIR フィルタを有する単一のフィルタリング・ブロックに組み合わせられている。この組み合わせられたフィルタリング・ブロックは、シグマ・デルタ変調器 206 の出力のビット・ストリーム性質を利用することができるので、このような実施例は、必要なデジタルハードウェア・リソースを少なくすることができる。実質上、チャネル・フィルタ 208 およびダウン・サンプリング・ブロック 210 の機能は、フィルタ 212、214 内に組み込まれる。

【0033】

フィルタ 212、214 の必要な周波数応答を決定するために、これらのフィルタを、その一方が他方のヒルベルト変換である 2 つの実フィルタとしてではなく、ゼロ周波数に関して非対称応答を有する単一の複素フィルタと考える方が、よりシンプルである。標準デジタル総合ツールを使用すると、必要な帯域幅および選択性を有する、単一の実 FIR フィルタを設計することができる。この場合、複素応答を得ることは、 $+100\text{ kHz}$ の周波数シフトを適用すると言う直截な事項となる。実および虚インパルス応答は、シフトされた周波数応答に離散的逆フーリエ変換を行うことによって得ることができる。

【0034】

図 10 は、僅かな回数設計繰返しの後に、得られる、フィルタ 212、214 の適切なペアの複素周波数応答を示す。必要な減衰テンプレートは、破線で示される。応答は、($\pm 1\text{ MHz}$ を越えた周波数で 100 dB を越える) テンプレートの境界の範囲内で十分なストップバンド (stop band) 減衰を有する、 $20\text{ kHz} \sim 180\text{ kHz}$ の通過帯域にわたって極めて小さいリップルを示す。このような応答は、フィルタ 212、214 に、最小の歪で所望信号を渡すこと、十分な減衰を隣接するおよび交互のチャネル干渉

に適用すること、及びシグマ・デルタ変調器 206 によって生成された高周波ノイズの大部分を除去することを可能とする。

【0035】

上述の受信機アーキテクチャは、第二世代セルラーシステム（例えば、GSM、AMPS、IS136 および PDC1900）およびコードレス・システム（例えば、DECT および ブルートゥース）を含む、公知のニア・ゼロ IF 多相アーキテクチャのそれにも同様に適用できる。これらの適用の場合、有効な電力削減を、達成することができる。このアーキテクチャは、CDMA/TDMA 共有のマルチモード能力を有する受信機に対してさえより有効である。特定の具体例として、一適用例は、IF がゼロおよび 100 kHz の間で切替わるデュアルモード UMTS/GSM 受信機である。他の適用例（例えば、CDMA 2000/IS95/IS136/AMPS 受信機）も、可能である。

【図面の簡単な説明】

【図1】 上述の公知の低 IF 受信機アーキテクチャのブロック図である。

【図2】 本発明に従って製作された低 IF 受信機アーキテクチャのブロック図である。

【図3】 図2のアーキテクチャにおけるイメージ除去フィルタの周波数（f）（kHz 単位）に対する減衰（A）（dB 単位）を示すグラフである。

【図4】 図2のアーキテクチャにおけるチャネル・フィルタの周波数（f）（kHz 単位）に対する減衰（A）を示すグラフである。

【図5】 チャネル・フィルタの出力での信号の周波数（f）（kHz 単位）に対する振幅（A）を示すグラフである。

【図6】 直交位相再構成フィルタの周波数（f）（kHz 単位）に対する減衰（A）を示すグラフである。

【図7】 一対の FIR フィルタによって実信号から生成される複素信号の周波数（f）（kHz 単位）に対する振幅（A）を示すグラフである。

【図8】 等化および復調の直前の信号の周波数（f）（kHz 単位）に対する振幅（A）を示すグラフである。

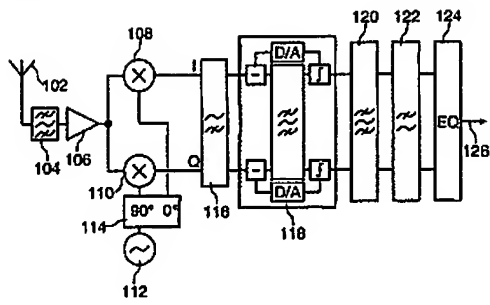
【図9】 図2の受信機アーキテクチャに対する信号電力（S）（dBm 単位）に対するシミュレートされたビット・エラー・レート（BER）のグラフである。

【図10】 組み合わせられたチャネル・フィルタおよび直交位相再構成フィルタの周波数（f）（kHz 単位）に対する減衰（A）を示すグラフである。

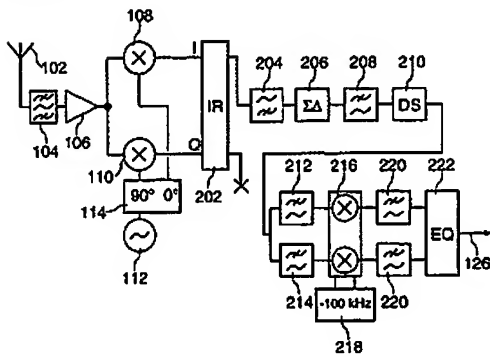
【符号の説明】

102	アンテナ
116	ハイパス・フィルタ
118	デジタル化ブロック
202	イメージ除去フィルタ
220	ローパス・ベースバンド・フィルタ
A	減衰
f	周波数
BER	ビット・エラー・レート
S	信号電力

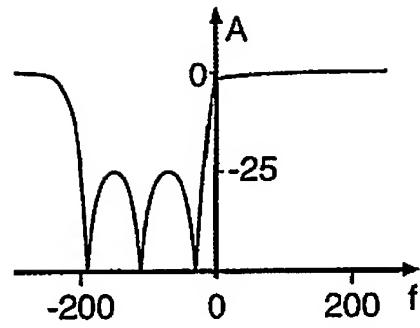
【図 1】



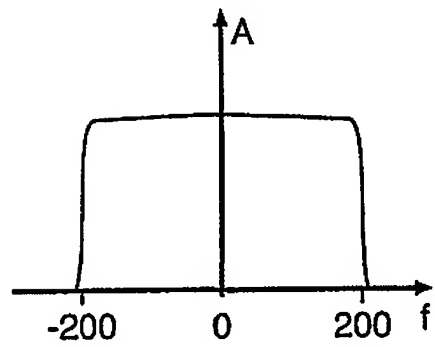
【図 2】



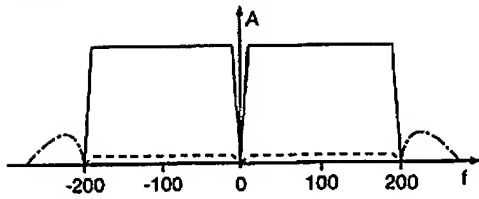
【図 3】



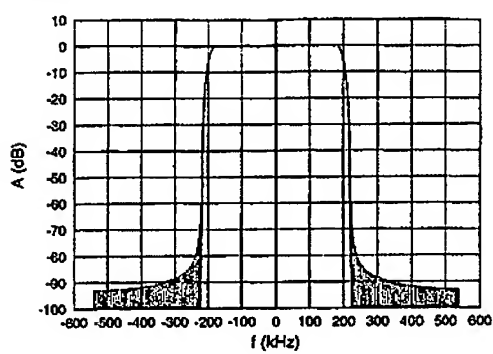
【図 4】



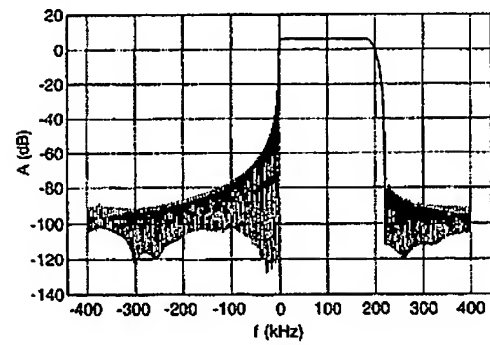
【図 5】



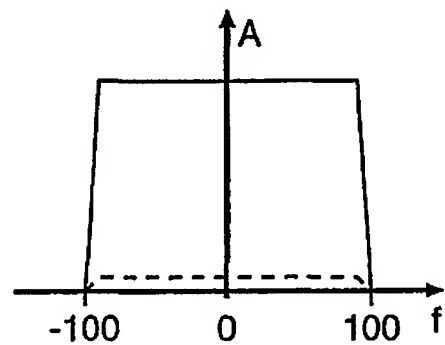
【図 6】



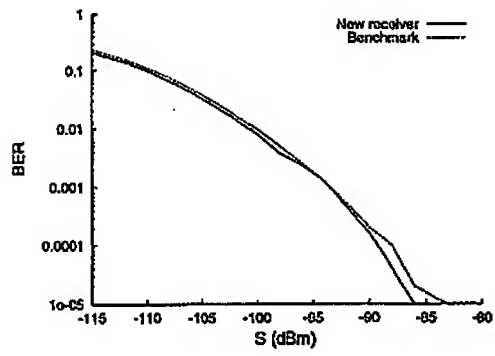
【図 7】



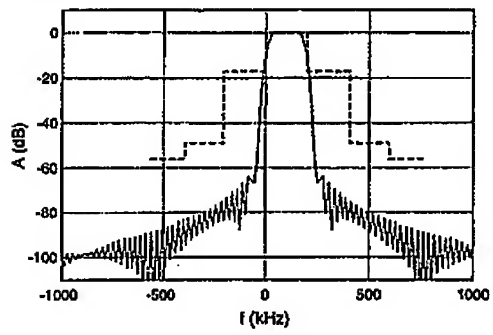
【図 8】



【図 9】



【図 10】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

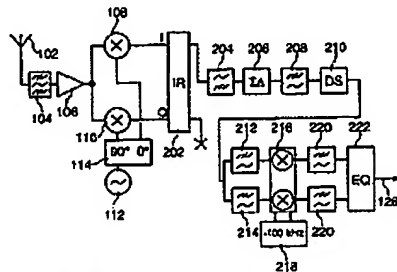
(19) World Intellectual Property Organization
International Bureau(43) International Publication Date
16 May 2002 (16.05.2002)

PCT

(10) International Publication Number
WO 02/39580 A2

- (51) International Patent Classification: H03D
(74) Agent: SCOTT, Kevin, J. International Osteoblasts
B.V., Prof. Houtman 6, NL-5656 AA Eindhoven (NL)
- (31) International Application Number: PCT/EP01/3013
(32) Designated States (national): CN, JP, KR
- (12) International Filing Date:
6 November 2001 (06.11.2001)
(34) Designated States (regional): European patent (AT, BE,
CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC,
NL, PT, SE, TR)
- (15) Filing Language: English
(36) Publication Language: English
Published:
-- without international search report and in the published
form except of this report
- (33) Priority Data:
0027503.2 10 November 2000 (10.11.2000) GB
For two-letter codes and other abbreviations, refer to the "Guid-
ance Notes on Codes and Abbreviations" appearing at the begin-
ning of each regular issue of the PCT Gazette
- (71) Applicant: KONINKLIJKE PHILIPS ELECTRON-
ICS N.V. (NL), Circuitsontwerp 1, NL-5621 BA
Eindhoven (NL)
- (72) Inventor: MINNIS, Beta A., Prof. Houtman 6,
NL-5656 AA Eindhoven (NL); MOORE, Paul A., Prof.
Houtman 6, NL-5656 AA Eindhoven (NL)

(54) Title: RADIO RECEIVER



WO 02/39580 A2

(57) Abstract: A radio receiver configurable to operate in either a low-IF or a zero-IF mode comprises a quadrature down converter (108, 110, 112, 114) for generating in-phase (I) and quadrature (Q) signals at an intermediate frequency and a complex filter (202) for performing image rejection filtering. One of the outputs (I) of the filter (202) is terminated, the other (Q) is passed to a non-complex ADC (206). The output from the ADC is processed digitally then a quadrature signal generator (212, 214) generates quadrature-related IF signals which are passed to a down-converter (216, 218) for conversion to baseband signals. By enabling analogue-to-digital conversion and channel filtering to be performed at IF on non-complex signals, significant power savings are possible. Further, the flexibility of the receiver is enhanced, enabling it to operate efficiently in both low-IF and zero-IF modes.

WO 02/39580

PCT/KR01/13313

DESCRIPTION

RADIO RECEIVER

Technical Field

5 The present invention relates to a radio receiver having particular, but not exclusive, application in digital communication systems such as GSM and UMTS, and to an integrated circuit comprising such a radio receiver.

Background Art

10 Near-zero-IF receivers (also known as polyphase receivers) are known for use in radio communication systems such as GSM (Global System for Mobile communication) and DECT (Digital Enhanced Cordless Telecommunications). Such receivers provide similar performance to that of traditional superhetro receivers but have the advantage of being much easier to integrate, because there is no need for off-chip channel filters. An example of
15 a known polyphase receiver is disclosed in European Patent Application 0,797,292.

Compared with known zero-IF receivers, polyphase receivers provide a substantial improvement in performance by eliminating problems with DC offsets and generation of second order intermodulation products. A significant
20 feature of a polyphase receiver is that complex signal processing is performed on the IF signals between the output of a front-end downconverter and the input to a demodulator, to ensure that any images of the wanted signal are adequately suppressed.

In a later variation on a low-IF receiver, analogue-to-digital conversion
25 was performed immediately after the front-end downconverter, which allowed channel filtering to be performed entirely in the digital domain. Such a receiver is disclosed in International Patent Application WO 00/22735. This variation required increased dynamic range capability from the Analogue-to-Digital Converter (ADC), but provided increased flexibility by enabling the channel
30 filter characteristics of the receiver to be changed in software, thereby making it significantly easier to design a multi-mode receiver.

WO 02/39560

PCT/EP01/13013

2

An embodiment of such a known receiver for use with a GSM system is shown in Figure 1 of the accompanying drawings. Radio signals are received by an antenna 102, filtered by a bandpass filter 104 and amplified by a low-noise amplifier 106. The signal is then mixed down to generate in-phase (I) and quadrature phase (Q) signals at an IF of 100kHz (half the GSM channel spacing) by first and second mixers 108, 110, which mixers are supplied with signals from a Local Oscillator (LO) 112 at their respective LO ports via a phase shifting block 114 which provides a signal with zero phase shift to the first mixer 108 and a signal with a 90° phase shift to the second mixer 110.

The I and Q signals may be filtered by a high pass filter 116 and are then supplied to a digitisation block 118, comprising a complex sigma-delta ADC incorporating a polyphase bandpass loop filter. Such an ADC is disclosed in WO 00/22735. I and Q outputs from the digitisation block 118 comprise single bit digital signals at a bit rate of 13MHz. A polyphase bandpass filtering and decimation block 120 reduces the bit rate by a factor of 24, and the output signals from this block comprise 14-bit signals at a bit rate of 541.667kHz. A further filtering and decimation block 122 performs low pass filtering and decimation of the signals to baseband, resulting in 15-bit output signals at the GSM bit rate of 270.833kHz. The signals are then processed by an equalisation and demodulation block (EQ) 124, before being provided as output 126 to digital signal processing circuitry in the remainder of the receiver.

Although this latter variation is preferred for a multi-mode receiver, the need for a complex ADC having complex noise shaping, as employed in the sigma-delta ADC disclosed in WO 00/22735, is not altogether desirable. For example, if the bandwidth of the ADC and its clock speed have to be modified on changing mode then a complex ADC is more difficult to design. This is particularly the case if the required bandwidth and clock speed are at the limits of the state of the art in terms of conversion efficiency. As a further consideration, if in one or more of the receive modes the IF is set to zero, the need for a complex ADC is substantially reduced (since it is only really desirable for a low-IF receiver).

Disclosure of Invention

An object of the present invention is therefore to provide a receiver in which efficient use of a non-complex ADC is possible for all receive modes, whether or not the IF is zero.

5 According to the present invention there is provided a radio receiver comprising an input for a radio frequency signal, quadrature down-conversion means for translating the radio frequency signal to an intermediate frequency and for generating in-phase and quadrature versions of the intermediate frequency signal, complex filtering means for operating on the in-phase and quadrature signals to provide filtered in-phase and quadrature signals, analogue-to-digital conversion means for digitising only one of the in-phase and quadrature signals, means for performing digital signal processing on the digitised signal and signal generation means for operating on the processed signal to generate digital in-phase and quadrature signals.

15 By quantising only one of the in-phase and quadrature IF signals, the need for a complex (or polyphase) ADC and complex channel filters is eliminated thereby enabling considerable savings in power consumption. Such a receiver is particularly suitable for multi-mode operation in which one mode uses a low IF and another mode uses a zero IF, because design of non-complex ADCs to operate with a range of different clock speeds and noise-shaping profiles is much simpler than design of their complex counterparts.

20 By quantising only the I or Q component of the IF output from the receiver front-end, the wanted signal bandwidth is effectively doubled to match the quantisation bandwidth of the single ADC being reflected about zero frequency. However, despite a likely increase in clock speed resulting from this increased bandwidth the overall power consumption should be reduced since only a single ADC is used.

25 Because of a lack of image rejection by a non-complex ADC, a complex filter is required prior to the ADC. Such a filter may be a passive polyphase filter which, being passive, consumes no extra power.

30

W/O 02/79589

PCT/KP01/13313

4

In a preferred embodiment, the ADC is a sigma-delta ADC. In another preferred embodiment, the digital in-phase and quadrature signals are derotated to translate their frequency to baseband.

In a further embodiment of the invention the receiver is implemented in an integrated circuit.

The present invention is based upon the recognition, not present in the prior art, that use of non-complex ADC and channel filters in a low-IF receiver is possible provided image rejection filtering is performed on the IF signals prior to sampling and digitisation.

10 Brief Description of Drawings

Embodiments of the present invention will now be described, by way of example, with reference to the accompanying drawings, wherein:

Figure 1 is a block diagram of a known low-IF receiver architecture, as described above;

15 Figure 2 is a block diagram of a low-IF receiver architecture made in accordance with the present invention;

Figure 3 is a graph illustrating the attenuation (A) in dB against frequency (f) in kHz of the image rejection filter in the architecture of Figure 2;

Figure 4 is a graph illustrating the attenuation (A) against frequency (f) in kHz of the channel filter in the architecture of Figure 2;

Figure 5 is a graph illustrating the amplitude (A) against frequency (f) in kHz of signals at the output of the channel filter;

Figure 6 is a graph illustrating the attenuation (A) against frequency (f) in kHz of a quadrature reconstruction filter;

25 Figure 7 is a graph illustrating the amplitude (A) against frequency (f) in kHz of a complex signal generated from a real signal by a pair of FIR filters;

Figure 8 is a graph illustrating the amplitude (A) against frequency (f) in kHz of signals immediately before equalisation and demodulation;

Figure 9 is a graph of simulated bit error rate (BER) against signal power (S) in dBm for the receiver architecture of Figure 2; and

30 Figure 10 is a graph illustrating the attenuation (A) against frequency (f) in kHz of a combined channel filter and quadrature reconstruction filter.

W/O 02/39580

PCT/EP01/18913

5

In the drawings the same reference numerals have been used to indicate corresponding features.

Modes for Carrying Out the Invention

Figure 2 is a block diagram of a GSM embodiment of a low-IF receiver architecture made in accordance with the present invention. The front end uses a quadrature downconverter to mix incoming RF signals down to a low IF of half the channel spacing (for GSM the channel spacing is 200kHz and hence the IF is 100kHz). This part of the receiver is essentially the same as that described above with reference to Figure 1 and will not be described again.

After downconversion by the mixers 108,110 the complex low-IF signal, comprising I and Q signals, passes into an image rejection filter (IR) 202, which is a passive polyphase filter which rejects any interferer present in the image band of the wanted signal, namely between -200kHz and 0Hz. Such filters are known, as disclosed for example in the paper "Single sideband modulation using sequence asymmetric polyphase networks" by M J Gingell, Electric Communications, No 48, 1973. Passive polyphase filters are easily realised as an RC network which is straightforward to integrate on silicon. The image rejection filter 202 passes wanted signals in the band 0Hz to +200kHz as well as all other interferers. However, by eliminating any image interference it allows all subsequent filters in the receiver to be "real" (i.e. to operate on just one of the I and Q signals). An example of the frequency response of a suitable polyphase filter is shown in Figure 3.

After the image rejection filter 202 the Q component of the signal is terminated, while the I component continues through a high pass filter 204 to a single, two port sigma-delta ($\Sigma\Delta$) modulator 206. The effect of dropping the Q component of the signal is to take half of the wanted signal energy and fold it over onto the negative side of the frequency spectrum. Hence the signal (in common with the noise spectrum of the sigma-delta modulator 206) is symmetrical about zero frequency and occupies a bandwidth of 400kHz. Such a signal maximises the conversion efficiency of the modulator 206.

The high pass filter 204 removes DC offsets generated by the preceding front-end circuitry. Studies of polyphase receivers for GSM applications have shown that a suitable cut-off frequency for the filter 204 is 6kHz, which gives the receiver an adequate recovery time from the over-drive effects of large signals without causing any significant degradation of the wanted signal.

The order of the modulator 206 and its clock speed must be chosen to give the required noise shaping. At minimum input signal level (-108dBm in the state of the art), signal-to-quantisation-noise ratio must be about 17dB in a 400kHz bandwidth (i.e. -200kHz to $+200\text{kHz}$) in order to meet the GSM specification for BER (Bit Error Rate). This figure is derived from the need for an overall signal-to-noise ratio of 7dB and a quantisation noise level which is 10dB below that of the front-end noise. The largest input signal to the ADC is a blocking interferer at -23dBm .

The digital output signal from the modulator 206 is filtered by a digital channel filter 208. This filter runs at a sampling rate equal to the clock rate of the sigma-delta modulator 206, which is typically of the order of 48 times the bit rate for GSM. It has a low pass frequency response with a cut-off frequency of approximately 200kHz which, when viewed on a double-sided frequency axis, resembles a bandpass response of width 400kHz. Such a frequency response is illustrated in Figure 4. The filter 208 has the dual role of attenuating all interferers arriving at the receiver input except an image interferer (i.e. an interferer in the lower adjacent channel, which is handled by the image rejection filter 202) and of attenuating most of the wideband quantisation noise produced by the modulator 206.

A typical frequency spectrum of signals at the output of the filter 208 is shown in Figure 5. The two halves of the wanted signal, shown as a solid line, are located on either side of zero frequency, separated by the hole produced by the high pass filter 204. The residue of an image interferer, shown as a dashed line, occupies the same frequency space as the wanted signal but at a level that should be insignificant because of the attenuation applied by the image rejection filter 202. Outside the -200kHz to $+200\text{kHz}$ band there may also be some residual sigma-delta noise, shown as a chain-dashed line, and

W/O #239584

PCT/EP01/13013

7

power due to large interferers, but such signals can be removed easily by subsequent filtering.

Once the high frequency content of the signal has been removed by the channel filter 208 the IF signal can be down-sampled (i.e. decimated) by a down-sampling block (DS) 210 to a sampling rate of approximately four times the GSM bit rate. This reduces the required processing resources and power consumption for the reconstruction of the Q component of the wanted signal. It is necessary to make the wanted signal complex again to facilitate its perfect frequency translation (or de-rotation) back from the low IF to zero frequency, and its subsequent demodulation to obtain data bits.

Hence, after down-sampling, the signal is made complex by passing it to a pair of FIR filters, a first filter 212 having a linear-phase low pass response and a second filter 214 having an identical response except for the creation of a narrow notch in the middle of the passband and the insertion of an extra 90° phase shift (the phase shift being +90° for negative frequencies and -90° for positive frequencies). The second filter 214 creates the new Q component, performing the equivalent of a time-bounded Hilbert transform, with the width of the notch determining the length of its impulse response. A width of slightly less than or equal to that of the notch generated by the preceding high-pass filter 204 would normally be appropriate.

Figure 6 shows a typical frequency response of a suitable second filter 214, this particular example being a FIR filter having 276 taps, with a hole width of 8kHz. The principal function of the first filter 212 is to insert exactly the same time delay into the path of the I component as that inserted in the path of the Q component by the second filter 214. The impulse response of both filters 212,214 should be exactly the same length. The first and second filters can be designed to give further suppression of any interference remaining after the channel filter 208 outside the bandwidth of the wanted signal. Changing their cut-off frequency has virtually no effect on the required length of the filters 212,214, and gives the possibility of introducing extra filtering that comes effectively for free. The choice of cut-off frequency has some relevance to the sampling rate required by the filters 212,214, but provided this does not give

W() 02/19589

PCT/EP01/13013

8

also to any significant problems the filtering thereby provided may alleviate the need for any further filtering in the baseband.

Restoring the Q component of the wanted signal has the effect of folding the negative half of its frequency spectrum back onto the positive side, whereby the bandwidth reduces back to 200kHz. The total power in the signal therefore returns to the original value seen at the input to the image rejection filter 202. The power density is increased by 6dB. The complex frequency response of the combined output of the filters 212, 214 is shown in Figure 7.

Once the Q component has been created, the I and Q signals pass to a derotation block 216 where they are derotated to baseband, by performing a complex multiplication with a complex tone of -100kHz provided by a signal source 218, which derotation shifts the wanted signal back to a central frequency of zero.

In the example embodiment shown in Figure 2, the I and Q signals are filtered by respective low pass baseband filters 220, having a cut-off frequency of 80kHz. A typical frequency spectrum of signals at the output of a filter 220 is shown in Figure 8, with the wanted signal shown as a solid line and the residue of an image interferer shown as a dashed line.

The signals are then processed by an equalisation and demodulation block (EQ) 222 before being provided as output 126 to digital signal processing circuitry in the remainder of the receiver.

System simulations have been performed to verify the correct functioning of an architecture in accordance with the present invention. As an example, Figure 9 is a graph of results of a simulation determining BER for a range of wanted signal powers S_r in dBm, using a well-known TU50 channel model (typical urban profile with a maximum speed of 50km/h). Simulated results for the new receiver architecture are shown as a solid line, while results for a benchmark polyphase receiver, using complex signal processing throughout, are shown as a dashed line. It is evident that the sensitivity of the new receiver is at least as good as the benchmark polyphase receiver. Other simulations have also verified that the new architecture can provide the

W(1) 02/39580

PCT/KP01/13013

9

required selectivity, both for adjacent channels and for those at larger frequency offsets.

In a variation on the embodiments described above, the channel filter 208 and complex signal reconstruction filters 212,214 are combined into a single filtering block comprising two FIR filters. Such an embodiment can require less digital hardware resources as the combined filtering block can exploit the bit-stream property of the output of the sigma-delta modulator 208. In effect, the functions of the channel filter 208 and down-sampling block 210 are incorporated in the filters 212,214.

To determine the required frequency response of the filters 212,214, it is simpler to consider the filters as a single complex filter, having an asymmetrical response about zero frequency, rather than two real filters one of which is the Hilbert transform of the other. Using a standard digital synthesis tool, a single, real FIR filter can be designed having the required bandwidth and selectivity. Obtaining the complex response is then a straightforward matter of applying a +100kHz frequency shift. Real and imaginary impulse responses can be obtained by performing an inverse discrete Fourier transform on the shifted frequency response.

Figure 10 illustrates the complex frequency response of a suitable pair of filters 212,214, obtained after a small number of design iterations. The required attenuation template is shown as a dashed line. The response displays a very small ripple over the passband, from 20kHz to 180kHz, with a stopband attenuation that is well within the bounds of the template (exceeding 100dB at frequencies beyond ± 1 MHz). Such a response permits the filters 212,214 to pass the wanted signal with minimal distortion, apply sufficient attenuation to adjacent- and alternate-channel interferers and reject most of the high frequency noise generated by the sigma-delta modulator 208.

The receiver architecture described above has a similar range of applications to that of known near-zero IF polyphase architectures, including second generation cellular systems such as GSM, AMPS, IS136 and PDC1900 and cordless systems such as DECT and Bluetooth. In these applications a useful power saving can be achieved. The architecture is even

WU 02/39580

PCT/EP01/11013

10

more useful for receivers having a joint CDMA/TDMA multi-mode capability. As a particular example, one application is a dual-mode UHFS/GSM receiver in which the IF switches between zero and 100kHz. Other applications, such as a CDMA2000/IS95/S136/AMPS receiver, are also envisaged.

W(1) 42/395W

PCT/EP01/12013

11

CLAIMS

1. A radio receiver comprising an input for a radio frequency signal, quadrature down-conversion means for translating the radio frequency signal to an intermediate frequency and for generating in-phase and quadrature versions of the intermediate frequency signal, complex filtering means for operating on the in-phase and quadrature signals to provide filtered in-phase and quadrature signals, analogue-to-digital conversion means for digitising only one of the in-phase and quadrature signals, means for performing digital signal processing on the digitised signal and signal generation means for operating on the processed signal to generate digital in-phase and quadrature signals.
2. A receiver as claimed in claim 1, characterised in that the complex filtering means comprises a passive polyphase filter.
3. A receiver as claimed in claim 1 or 2, characterised in that the analogue-to-digital conversion means comprises a sigma-delta analogue-to-digital converter.
4. A receiver as claimed in any one of claims 1 to 3, characterised in that the analogue-to-digital conversion means are operable at a plurality of different clock speeds.
5. A receiver as claimed in any one of claims 1 to 4, characterised in that the intermediate frequency may be either low or zero.
6. A receiver as claimed in claim 5, characterised in that the radio frequency signals conform to a cellular communication standard and in that the low intermediate frequency is half of the channel spacing specified in the standard.

W/O 02/19589

PCT/JP01/13013

12

7. A receiver as claimed in any one of claims 1 to 6, characterised in that demodulation means are provided for translating the digital in-phase and quadrature signals to baseband.
- 5 8. A receiver as claimed in any one of claims 1 to 7, characterised in that the signal generation means comprises first and second filters and in that the phase shift applied to signals passed through each of the filters differs by 90°.
- 10 9. A receiver as claimed in claim 8, characterised in that the filters have a linear-phase characteristic.
10. A receiver as claimed in any one of claims 1 to 7, characterised in that the combination of the means for performing digital signal processing and the signal generation means is provided by first and second filters.
- 15 11. An integrated circuit comprising a radio receiver as claimed in any one of claims 1 to 10.

WO 02/39580

PCT/EP01/11013

1/5

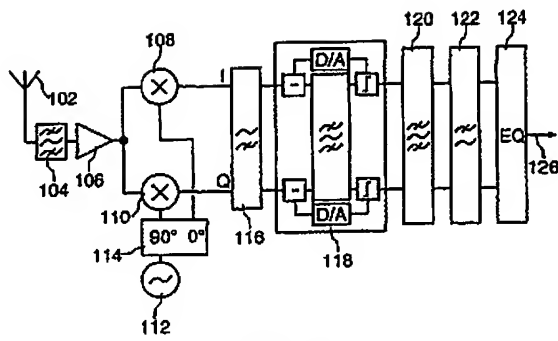


FIG. 1

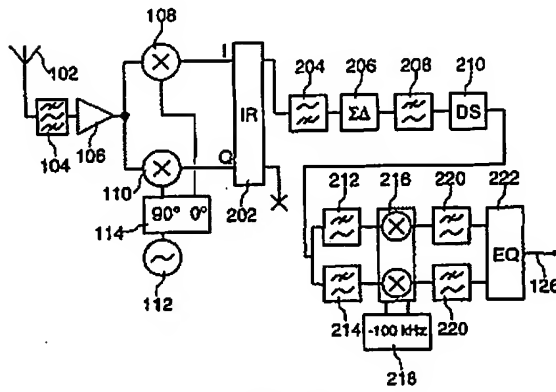


FIG. 2

W(1) 42/39580

PCT/JP01/13013

2/5

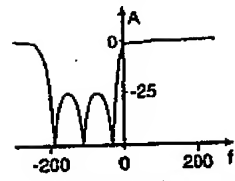


FIG. 3

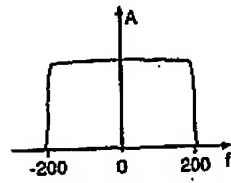


FIG. 4

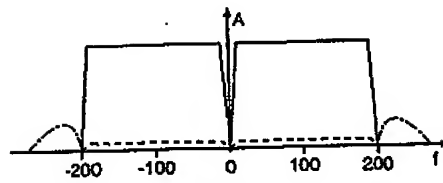


FIG. 5

WO 02/39589

PCT/KP01/13033

3/5

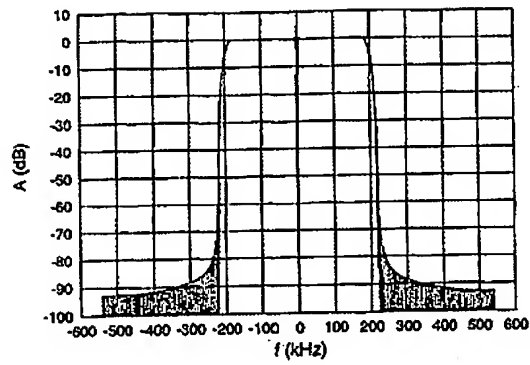


FIG. 6

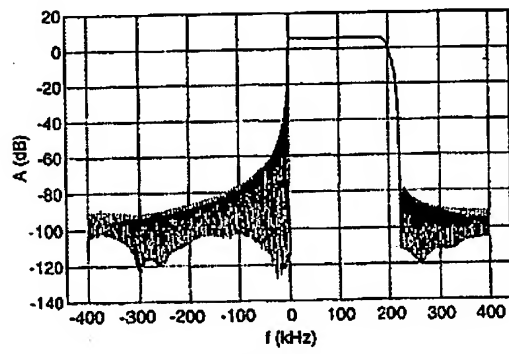


FIG. 7

W/O 42/39509

PCT/KP01/12013

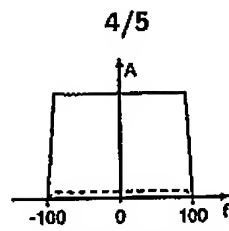


FIG. 8

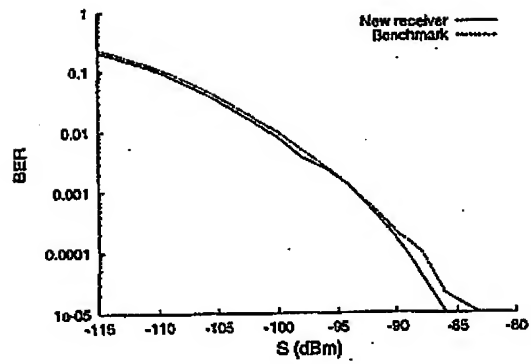


FIG. 9

W/O #2/39580

PCT/EP01/13913

5/5

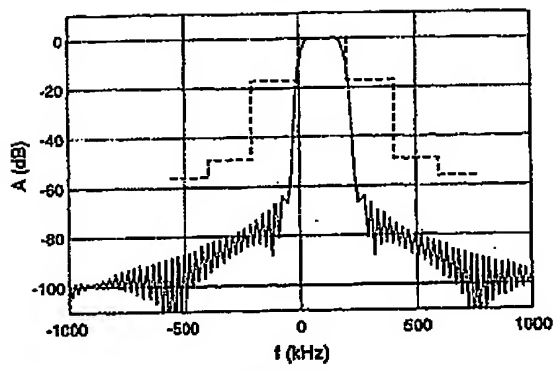


FIG. 10

WO 02/039580 A3

[illegible]

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International publication no. PCT/EP 01/13013
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H03D3/00		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Magnetic documents searched (classification system followed by classification symbols) IPC 7 H03D		
Classification searched other than magnetic documents in the fields that each document is included in the fields searched		
Electronic data base consulted during the international search process of data base and, where practical, search terms used EPO-Internal, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Character of document, title, inventor, where appropriate, of the relevant passages	Relevant to claim no.
A	US 6 005 506 A (BAZARJANI SEYFOLLAH S ET AL) 21 December 1999 (1999-12-21) column 13, line 30 -column 14, line 11; figure 6	1-4
A	NO 00 22735 A (KONINKL PHILIPS ELECTRONICS NV) 20 April 2000 (2000-04-20) cited in the application page 6, line 7 -page 7, line 14; figures 1,9	1-3,5
A	EP 0 797 292 A (PHILIPS ELECTRONICS NV) 24 September 1997 (1997-09-24) cited in the application column 4, line 43 -column 5, line 47; figure 3	1,2
<input type="checkbox"/> Further documents are listed in the continuation of item C. <input checked="" type="checkbox"/> Patent family members are listed in a table		
* Special categories of cited documents: "a" document defining the general state of the art which is not considered to be of particular relevance "b" earlier document not published on or after the international filing date "c" document of which only one or more copies, extracts or which is cited to establish the prior art of another document or other special search (see figure 1) "d" document referring to an oral disclosure, use, exhibition or other means "e" document published prior to the international filing date but later than the priority date claimed "f" later document published after the international filing date or priority date and not in conflict with the applicant but cited to show the prior art or theory underlying the invention "g" document of particular relevance, the claimed invention cannot be considered novel or cannot be considered to involve an inventive step unless the document is taken into account "h" document of particular relevance, the claimed invention cannot be considered to involve an inventive step unless the document is considered with one or more other such documents, such combinations being closer to a person skilled in the art "i" document considered of the state of the art		
Date of the latest completion of the international search		Date of mailing of the international search report
14 January 2003		23/01/2003
Name and printing address of the ISA European Patent Office, P.O. Box 6640, München 2 D-85233 München Tel. (+49-89) 340-2400, Telex 521 021 epo de Fax (+49-89) 340-2410		Authorized officer Ratajski, A

Form PCT/EP 14 (current sheet) (July 1992)

INTERNATIONAL SEARCH REPORT		Publication date		Priority date		Filing date	
Publication date		Priority date		Filing date		Filing date	
US 6005506	A	21-12-1999	AU	746148	B2	18-04-2002	18-04-2002
			AU	171799	A	23-06-1999	23-06-1999
			BX	981341	A	10-10-2000	10-10-2000
			CA	231319	A1	17-06-1999	17-06-1999
			CN	1281697	T	24-01-2001	24-01-2001
			EP	1040587	A1	04-10-2000	04-10-2000
			JP	2001526487	T	18-12-2001	18-12-2001
			NO	9930428	A1	17-06-1999	17-06-1999
			ZA	9811125	A	10-10-2000	10-10-2000
WO 0022735	A	20-04-2000	CN	1290427	T	04-04-2001	04-04-2001
			NO	0022735	A1	20-04-2000	20-04-2000
			EP	1046233	A1	25-10-2000	25-10-2000
			JP	2002527978	T	27-08-2002	27-08-2002
EP 0797292	A	24-09-1997	CN	1164782	A	12-11-1997	12-11-1997
			DE	69716069	D1	10-10-2002	10-10-2002
			EP	0797292	A1	24-09-1997	24-09-1997
			JP	10070482	A	10-03-1998	10-03-1998
			US	6035186	A	07-03-2000	07-03-2000

PC1/EP 01/13013

フロントページの続き

(72)発明者 ミニス ブライアン ジェー

オランダ国 5 6 5 6 アー アー アインドーフェン プロフホルストラーン 6

(72)発明者 モーア パウル エー

オランダ国 5 6 5 6 アー アー アインドーフェン プロフホルストラーン 6

Fターム(参考) 5K004 AA08 JG01

5K020 AA08 DD02 DD11 DD13 EE04 FF00 GG00 HH12 HH13 HH15

【要約の続き】

リティは、高められ、それが低 I F とゼロ I F 両方のモードで、効率的に動作することを可能にする。

【選択図】図2